



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of : **Confirmation No. 1033**
Katsumasa HIJIKATA et al. : Docket No. 2004-0416A
Serial No. 10/800,716 : Group Art Unit 2817
Filed March 16, 2004 : **Attn: BOX MISSING PARTS**

VARIABLE GAIN AMPLIFICATION
CIRCUIT

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2003-072548, filed March 17, 2003, as acknowledged in the Declaration of this application.

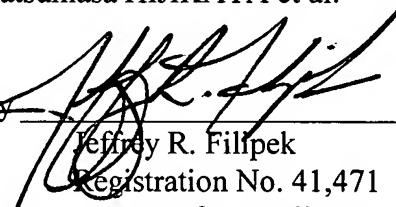
A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Katsumasa HIJIKATA et al.

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

By


Jeffrey R. Filipek
Registration No. 41,471
Attorney for Applicants

JRF/ck
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
June 17, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月17日

出 願 番 号

Application Number:

特願2003-072548

[ST.10/C]:

[JP 2003-072548]

出 願 人

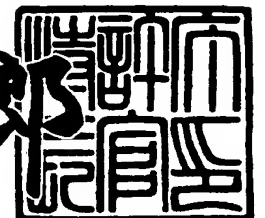
Applicant(s):

松下電器産業株式会社

2003年 6月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3043742

【書類名】 特許願

【整理番号】 2037640135

【提出日】 平成15年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 11/46

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 土方 克昌

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 林 錠二

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100081813

 【弁理士】

 【氏名又は名称】 早瀬 憲一

 【電話番号】 06(6395)3251

【手数料の表示】

 【予納台帳番号】 013527

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9600402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変利得増幅回路

【特許請求の範囲】

【請求項 1】 出力端子を備えた出力振幅を可変できる信号発生器と、前記出力端子と、交流的に接地された端子との間に接続される可変容量と、前記信号発生器の出力振幅と、前記可変容量の容量値とを制御する制御回路と、を備えた、

ことを特徴とする可変利得増幅回路。

【請求項 2】 請求項 1 に記載の可変利得増幅回路において、前記信号発生器は、出力負荷部に可変抵抗を有するものである、ことを特徴とする可変利得増幅回路。

【請求項 3】 請求項 1 に記載の可変利得増幅回路において、前記信号発生器は、出力負荷部に可変インダクタを有するものである、ことを特徴とする可変利得増幅回路。

【請求項 4】 請求項 1 ないし 3 のいずれかに記載の可変利得増幅回路において、

前記信号発生器は、

第 1 の入力端子と、第 2 の入力端子を備えた可変利得ミキサと、

前記可変利得ミキサの第 1 の入力端子に接続された RF 信号源と、

前記可変利得ミキサの第 2 の入力端子に接続された LO 信号源と、を備えたものである、

ことを特徴とする可変利得増幅回路。

【請求項 5】 請求項 1 ないし 3 のいずれかに記載の可変利得増幅回路において、

前記信号発生器は、

第 1 の入力端子を備えた可変利得増幅器と、

前記可変利得増幅器の第 1 の入力端子に接続された RF 信号源と、

を備えた、ものである、

ことを特徴とする可変利得増幅回路。

【請求項 6】 請求項 4 に記載の可変利得増幅回路において、
前記可変利得ミキサは、シングルバランスドミキサ、あるいはダブルバランス
ドミキサである、

ことを特徴とする可変利得増幅回路。

【請求項 7】 請求項 5 に記載の可変利得増幅回路において、
前記可変利得増幅器は、ソース接地型増幅器である、
ことを特徴とする可変利得増幅回路。

【請求項 8】 請求項 1 に記載の可変利得増幅回路において、
前記可変容量は、第 1 の端子と、第 2 の端子間に並列に設けられた少なくとも
2 つ以上の容量と、該各容量の一端に接続された少なくとも 1 つ以上のスイッチ
とを用いた回路で構成され、

前記スイッチのオン・オフによって、前記第 1 の端子と前記第 2 の端子との間
の容量値を変化させる、

ことを特徴とする可変利得増幅回路。

【請求項 9】 請求項 1 に記載の可変利得増幅回路において、
前記可変容量は、第 3 の端子と第 4 の端子との間に MOS デバイスが接続され
、
前記第 3 の端子に供給するバイアス電圧によって前記第 3 の端子と前記第 4 の
端子間の容量値を変化させる、

ことを特徴とする可変利得増幅回路。

【請求項 10】 請求項 2 に記載の可変利得増幅回路において、
前記可変抵抗は、第 1 の端子と、第 2 の端子間に並列に設けられた少なくとも
2 つ以上の抵抗と、該各抵抗の一端に接続された少なくとも 1 つ以上のスイッチ
とを用いた回路で構成され、

前記スイッチのオン・オフによって前記第 1 の端子と、前記第 2 の端子との間
の抵抗値を変化させる、

ことを特徴とする可変利得増幅回路。

【請求項 11】 請求項 3 に記載の可変利得増幅回路において、
前記可変インダクタは、第 1 の端子と、第 2 の端子間に並列に設けられた少な

くとも2つ以上のインダクタと、該各インダクタの一端に接続された少なくとも1つ以上のスイッチとを用いた回路で構成され、

前記スイッチのオン・オフによって前記第1の端子と、前記第2の端子との間のインダクタンスを変化させる、

ことを特徴とする可変利得増幅回路。

【請求項12】 請求項1ないし11のいずれかに記載の可変利得増幅回路において、

前記制御回路は、前記可変利得増幅器の、遮断周波数あるいは共振周波数が一定となるように前記可変容量をコントロールする、

ことを特徴とする可変利得増幅回路。

【請求項13】 請求項4または5に記載の可変利得増幅回路において、前記RF信号源は、信号帯域が100MHz以上である、

ことを特徴とする可変利得増幅回路。

【請求項14】 請求項4に記載の可変利得増幅回路において、前記可変利得ミキサは、ダウンコンバートミキサである、

ことを特徴とする可変利得増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルテレビ用BS/CSチューナなどの広帯域無線通信装置に関し、特に低歪特性が求められる受信系の可変利得増幅回路に関するものである。

【0002】

【従来の技術】

2000年12月のデジタルテレビ放送の開始以来、デジタルテレビ用BS/CSチューナの需要が年々高くなってきている。

【0003】

しかしながら、現状のBS/CSチューナシステムは、複数のチップやフィルタ等の複数部品により構成され、高いコストを要している。低コスト化の実現のためには、システムをワンチップ化することにより部品数を削減することが重要であ

り、現在、その開発が盛んに行われている。

【 0 0 0 4 】

デジタルテレビ用BS/CSチューナの仕様では、1GHzから2.6GHzの広い帯域内にある約20チャンネルの信号を受信し、希望の1チャンネルだけを歪むことなく検波・復調しなければならない。しかしながら、システムワンチップ化の開発においては、他チャンネル信号等の妨害波による歪特性の劣化を抑制する高性能な外付けフィルタではなく、外付けフィルタよりも性能が劣るオンチップのフィルタを用いることになるので、受信部にはより低歪な特性が求められる。

【 0 0 0 5 】

通常、無線通信用受信機においては、歪特性の劣化を抑制するために、以下に示す二つのことが実施される。

一つは、受信部のミキサや増幅器に可変利得機能を搭載させることである。これにより、入力信号レベルによらず常に適切な出力信号レベルにすることができるので、大信号入力時における後段ブロックの歪特性劣化を抑制することができる。

【 0 0 0 6 】

可変利得機能を実現させる手法には様々な方法があるが、その一つとして、差動増幅回路の差動入力トランジスタ対のソース端子間に可変抵抗を接続し、その抵抗値によって増幅回路の帰還量を制御することにより、可変利得機能を実現しているものがある。さらに、上記可変抵抗を、MOSトランジスタのソース・ドレイン間チャンネル抵抗を用いた可変抵抗を二つ直列に接続したもので構成し、前記二つのMOSトランジスタの接続点に適当なバイアス電圧を与え、直流電流を流すことにより、チャンネル抵抗の抵抗値が急激に変化する点を避けて動作させ、利得制御時の歪特性劣化を抑制しているものもある（例えば、特許文献1）。

【 0 0 0 7 】

もう一つは、前述したように受信部にフィルタを挿入することである。これにより、妨害波信号や相互変調歪などの不要信号を減衰させ、後段ブロックの歪特性劣化を抑制することができる（例えば、非特許文献1）。

【 0 0 0 8 】

また、ミキサや増幅器の出力負荷部に、フィルタ機能を持たせることも行われる。具体的には、ミキサや増幅器の出力端子に容量を接続し、出力負荷インピーダンスと前記容量とでLPF (Low Pass Filter) を構成する。これにより、妨害波信号や相互変調歪などの不要信号を減衰させ、ミキサや増幅器自身、あるいは後段ブロックの歪特性劣化を抑制することができる。

【 0 0 0 9 】

以下、可変利得機能を持ったミキサの出力端子にフィルタ機能のための容量を接続した、従来の可変利得増幅回路についてより具体的に説明する。

図 1 4 は、従来の可変利得増幅回路を示したものであり、101は可変出力負荷インピーダンスを用いた可変利得ミキサ、102はRF信号源、103はLO信号源、104は出力端子、106は制御回路、112は容量である。

【 0 0 1 0 】

以上のように構成された従来の可変利得増幅回路について、以下、その動作を説明する。

可変利得ミキサ101は、RF信号源102から供給されるRF信号と、LO信号源103から供給されるLO信号とを乗算することにより、RF信号を周波数変換し、出力端子104にIF信号を出力する。

【 0 0 1 1 】

制御回路106は、RF信号源102から供給されるRF信号レベルが変動しても、常に適切なIF信号レベルを出力するように可変利得ミキサ101の利得をコントロールする。

【 0 0 1 2 】

また、容量112は、IF信号に含まれる妨害波信号や相互変調歪、RF漏洩信号、LO漏洩信号などの不要信号成分を減衰させる機能があり、歪特性の劣化を抑制するために接続される。

【 0 0 1 3 】

以下、容量112の歪特性劣化抑制機能について詳細に説明する。

図 1 5 は、図 1 4 に示した従来の可変利得増幅回路の可変利得ミキサ101を、交流等価回路として表したものであり、113はIF信号源、114は可変出力負荷イン

ピーダンスである。

図 1 5 において、可変出力負荷インピーダンス114と、容量112に注目すると、フィルタを形成していることがわかる。

【0 0 1 4】

可変出力負荷インピーダンス114のインピーダンスを Z_{14} 、容量112の容量値を C_{12} とすると、IF信号源113からみた前記フィルタの伝達関数 A は、(数 1) で表される。

【数 1】

$$A = \frac{1}{1 + j \cdot \omega \cdot C_{12} \cdot Z_{14}}$$

まずは、可変出力負荷インピーダンス114が可変抵抗の場合、つまり、可変利得ミキサ101が、出力負荷部に可変抵抗を用いたミキサの場合について述べる。

【0 0 1 5】

可変出力負荷インピーダンス114の抵抗値を R_{14} とすると、伝達関数 A_R は、(数 1) を用いて(数 2) のようになる。

【数 2】

$$A_R = \frac{1}{1 + j \cdot \omega \cdot C_{12} \cdot R_{14}}$$

上記 A_R は、一次のLPFの伝達関数であり、図 1 6 に示すような周波数特性になる。ここで、 f_c は遮断周波数であり、(数 3) で与えられる。

【数 3】

$$f_c = \frac{1}{2\pi \cdot C_{12} \cdot R_{14}}$$

従って、遮断周波数 f_c を、希望のIF信号を減衰させない最小の周波数となるように、 C_{12} を設定することにより、妨害波信号や相互変調歪、RF漏洩信号、LO漏洩信号などの不要信号を減衰させることができ、その結果、歪特性の劣化を抑制することができる。

【0 0 1 6】

次に、可変出力負荷インピーダンス114が可変インダクタの場合、つまり、可変利得ミキサ101が、出力負荷部に可変インダクタを用いたミキサの場合について述べる。

【0017】

可変出力負荷インピーダンス114のインダクタンスをL14とすると、伝達関数ALは、(数1)を用いて(数4)のようになる。

【数4】

$$AL = \frac{1}{1 - \omega^2 \cdot C12 \cdot L14}$$

上記ALは、二次のLPFの伝達関数であり、図17に示すような周波数特性になる。ここで、frは共振周波数であり、(数5)で与えられる。

【数5】

$$fr = \frac{1}{2\pi \sqrt{C12 \cdot L14}}$$

従って、共振周波数frを希望のIF信号周波数となるようにC12を設定することにより十分な利得が得られるとともに、妨害波信号や相互変調歪、RF漏洩信号、LO漏洩信号などの不要信号を減衰させることができ、その結果、歪特性の劣化を抑制することができる。

【0018】

【特許文献1】

特開平8-256039号公報(第1-7頁、第1図)

【0019】

【非特許文献1】

伊藤信之、「RF CMOS回路設計技術」、株式会社トリケップス、2002年6月、p. 12-23

【0020】

【発明が解決しようとする課題】

しかしながら、図 1 5 に示した従来の可変利得増幅回路の構成では、利得制御時に可変利得ミキサ101の可変出力負荷インピーダンス114が変動するため、遮断周波数 f_c または共振周波数 f_r が変動し、妨害波信号や相互変調歪、RF漏洩信号、LO漏洩信号などの不要信号を十分に減衰することができなくなり、可変利得ミキサ101や後段ブロックの歪特性が劣化するという問題を有している。

【 0 0 2 1 】

図 1 8 は、図 1 5 に示した従来の可変利得増幅回路において、利得設定に対する 3 次歪 IIP3 をプロットしたものであり、低利得側で歪特性が劣化していることを表している。

【 0 0 2 2 】

低利得設定では、図 1 5 において、制御回路106は可変出力負荷インピーダンス114が小さくなるようにコントロールする。このため、(数 3) の R14 あるいは(数 5) の L14 が小さくなり、遮断周波数 f_c あるいは共振周波数 f_r が大きくなる。その結果、不要な IM3 信号を十分に減衰できなくなり、図 1 8 に示すように低利得側で歪特性が劣化する。

【 0 0 2 3 】

本発明は、上記のような従来の問題点を解決するためになされたもので、低利得時の歪特性劣化を抑制することのできる可変利得増幅回路を提供することを目的としている。

【 0 0 2 4 】

【課題を解決するための手段】

上記課題を解決するために、請求項 1 の発明にかかる可変利得増幅回路は、出力端子を備えた出力振幅を可変できる信号発生器と、前記出力端子と、交流的に接地された端子との間に接続される可変容量と、前記信号発生器の出力振幅と、前記可変容量の容量値とを制御する制御回路と、を備えて構成される。

【 0 0 2 5 】

請求項 2 の発明にかかる可変利得増幅回路は、前記信号発生器の出力負荷部に可変抵抗を用いて構成される。

【 0 0 2 6 】

請求項 3 の発明にかかる可変利得増幅回路は、前記信号発生器の出力負荷部に可変インダクタを用いて構成される。

【 0 0 2 7 】

請求項 4 の発明にかかる可変利得増幅回路は、前記信号発生器が第 1 の入力端子と、第 2 の入力端子を備えた可変利得ミキサと、前記可変利得ミキサの第 1 の入力端子に接続された RF 信号源と、前記可変利得ミキサの第 2 の入力端子に接続された LO 信号源と、により構成される。

【 0 0 2 8 】

請求項 5 の発明にかかる可変利得増幅回路は、前記信号発生器が第 3 の入力端子を備えた可変利得増幅器と、前記可変利得増幅器の第 3 の入力端子に接続された RF 信号源と、により構成される。

【 0 0 2 9 】

請求項 6 の発明にかかる可変利得増幅回路は、前記可変利得ミキサが、シングルバランスドミキサ、あるいはダブルバランスドミキサで構成される。

【 0 0 3 0 】

請求項 7 の発明にかかる可変利得増幅回路は、前記可変利得増幅器が、ソース接地型増幅器で構成される。

【 0 0 3 1 】

請求項 8 の発明にかかる可変利得増幅回路は、前記可変容量が、第 1 の端子と、第 2 の端子間に並列に設けられた少なくとも 2 つ以上の容量と、該各容量の一端に接続された少なくとも 1 つ以上のスイッチとを用いた回路で構成され、前記スイッチのオン・オフによって、前記第 1 の端子と前記第 2 の端子との間の容量値を変化させる、ことを特徴とする。

【 0 0 3 2 】

請求項 9 の発明にかかる可変利得増幅回路は、前記可変容量は、第 3 の端子と第 4 の端子との間に MOS デバイスが接続され、前記第 3 の端子に供給するバイアス電圧によって前記第 3 の端子と第 4 の端子間の容量値を変化させる、ことを特徴とする。

【 0 0 3 3 】

請求項10の発明にかかる可変利得増幅回路は、前記可変抵抗は、第1の端子と、第2の端子間に並列に設けられた少なくとも2つ以上の抵抗と、該各抵抗の一端に接続された少なくとも1つ以上のスイッチとを用いた回路で構成され、前記スイッチのオン・オフによって前記第1の端子と、前記第2の端子との間の抵抗値を変化させる、ことを特徴とする。

【0034】

請求項11の発明にかかる可変利得増幅回路は、前記可変インダクタは、第1の端子と、第2の端子間に並列に設けられた少なくとも2つ以上のインダクタと、該各インダクタの一端に接続された少なくとも1つ以上のスイッチとを用いた回路で構成され、前記スイッチのオン・オフによって前記第1の端子と、前記第2の端子との間のインダクタンスを変化させる、ことを特徴とする。

【0035】

請求項12の発明にかかる可変利得増幅回路は、前記制御回路は、前記可変利得増幅器の、遮断周波数あるいは共振周波数が一定となるように前記可変容量をコントロールする、ことを特徴とする。

【0036】

請求項13の発明にかかる可変利得増幅回路は、前記RF信号源は、信号帯域が100MHz以上である、ことを特徴とする。

【0037】

請求項14の発明にかかる可変利得増幅回路は、前記可変利得ミキサは、ダウンコンバートミキサである、ことを特徴とする。

【0038】

これらの構成によって、出力振幅、あるいは利得のコントロール時に、前記信号発生器、あるいは前記可変利得ミキサ、あるいは前記可変利得増幅器の可変出力負荷インピーダンスが変動しても、前記可変出力負荷インピーダンスと前記可変容量とによって構成されたLPFの遮断周波数 f_c 、あるいは共振周波数 f_r を、前記可変容量の容量値をコントロールすることにより一定にすることができる。その結果、低利得時においても、帯域外の不要信号を減衰させることができ、歪特性の劣化を抑制することができる。

【0039】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

(実施の形態1)

図1は、本発明の実施の形態1に係る可変利得増幅回路の構成を示す回路図である。

【0040】

図1において、1は第1の入力端子と第2の入力端子を備えた可変利得ミキサ、2は可変利得ミキサ1の第1の入力端子に接続されるRF信号源、3は可変利得ミキサ1の第2の入力端子に接続されるL0信号源、4は出力端子、5は可変容量、6は可変利得ミキサ1の利得、及び可変容量5の容量値をコントロールする制御回路である。ただし、本実施の形態1において、可変利得ミキサ1は、ダウンコンバートミキサとする。

【0041】

また、可変利得ミキサ1は、シングルバランسدミキサであり、7は可変抵抗、10はRF信号入力トランジスタ、11はL0信号入力トランジスタである。

可変抵抗7は、図2に示すように、4つの抵抗 r_1 , r_2 , r_3 , r_4 と、3つのスイッチ ϕ_1 , ϕ_2 , ϕ_3 により構成され、スイッチ ϕ_1 から ϕ_3 まで順次オンしていくことにより、端子間の抵抗値を変化させることができる。

【0042】

また、可変容量5、図3に示すように、4つの容量 c_1 , c_2 , c_3 , c_4 と、3つのスイッチ ϕ_1 , ϕ_2 , ϕ_3 により構成され、スイッチ ϕ_1 から ϕ_3 まで順次オンしていくことにより、端子間の容量値を変化させることができる。

また、RF信号源2は、図19に示すようなアンテナA1と、LNA(Low Noise Amplifier)とで構成され、L0信号源3はPLL(Phase Locked Loop)で構成される。

【0043】

以上のように構成された本実施の形態1の可変利得増幅回路について、以下、その動作を説明する。

RF信号源2から可変利得ミキサ1に供給されるRF信号は、RF信号入力トランジ

スタ 1 0 に入力され、電圧信号から電流信号に変換される。

【 0 0 4 4 】

一方、L0信号源 3 から可変利得ミキサ 1 に供給される差動のL0信号は、それぞれL0信号入力トランジスタ 1 1 に入力され、L0信号入力トランジスタ 1 1 はL0信号の周波数でスイッチ動作を繰り返す。

【 0 0 4 5 】

このL0信号入力トランジスタ 1 1 に電流変換されたRF信号が入力されると、RF信号とL0信号が乗算される。これにより、RF信号は周波数変換され、IF信号となり、可変抵抗 7 で電圧変換されることにより、出力端子 4 にIF信号があらわれる。

【 0 0 4 6 】

可変利得ミキサ 1 の可変利得機能は、可変抵抗 7 の抵抗値R7を制御回路 6 によりコントロールすることで実現する。

また、可変容量 5 の容量値C5は、可変抵抗 7 に連動させて可変利得ミキサ 1 の遮断周波数fcが一定になるように制御回路 6 によりコントロールする。

【 0 0 4 7 】

次に、本実施の形態 1 による可変利得増幅回路の効果について、従来の可変利得増幅回路と比較しながら説明する。

図 4 は、本実施の形態 1 による可変利得増幅器の効果を示したものである。RF信号源 2 から1.01GHzの希望RF信号と1.05GHzの妨害波信号が、L0信号源 3 から1GHzのL0信号がそれぞれ可変利得ミキサ 1 に供給され、10MHzの希望IF信号と90MHzの不要IM3信号を出力する場合において、利得設定に対するIIP3をプロットしたものである。ただし、従来の可変利得増幅回路との比較のため、可変容量 5 が2pF固定の場合の特性も示した。

【 0 0 4 8 】

本実施の形態 1 では、図 2 における r_1, r_2, r_3, r_4 を、それぞれ $2k\Omega, 6k\Omega, 3k\Omega, 1k\Omega$ に、図 3 における c_1, c_2, c_3, c_4 を、それぞれ2pF, 700fF, 1.3pF, 4pFに設定している。

【 0 0 4 9 】

この時、スイッチの状態に対するC5, R7, f_c の関係は、表1のようになる。

【表1】

利得設定	スイッチの状態			R7 (k Ω)	C5 (pF)	f_c (MHz)
	$\phi 1$	$\phi 2$	$\phi 3$			
0 (利得最大)	OFF	OFF	OFF	2.0	2.0	20
1	ON	OFF	OFF	1.5	2.7	
2	ON	ON	OFF	1.0	4.0	
0 (利得最小)	ON	ON	ON	0.5	8.0	

ただし、本実施の形態1における可変容量C5は、差動の出力端子4に接続されているため、片側に容量C5の2倍の対接地容量が接続されていることと等価である。

【0050】

従来の可変利得増幅回路では、容量値が固定の容量を用いていたために、可変利得ミキサ1の利得設定に応じて遮断周波数 f_c が変動し、低利得側の歪特性が劣化していた。これに対して、本実施の形態1の可変利得増幅回路では、表1に示すように、利得設定に応じて可変容量5の容量値C5をコントロールすることにより、遮断周波数 f_c が常に20MHzとなるように設定している。これにより、90MHzの不要IM3信号を減衰させることができ、図4に示すように従来の可変利得増幅回路に比し、低利得側での歪特性劣化を抑制することができる。

【0051】

なお、本実施の形態1では、可変利得ミキサ1の基本構成を、図1に示すようなシングルバランスドミキサとしたが、本発明はこれに限らず、ダブルバランスドミキサ、デュアルゲートミキサ、ダイオードミキサなどの基本構成を有するものとしてもよい。

【0052】

また、本実施の形態1では、可変抵抗7を図2に示すような並列接続した抵抗とスイッチによるデジタル的な可変抵抗としたが、本発明はこれに限らず、直列接続した抵抗とスイッチによる可変抵抗、並列接続と直列接続を組み合わせた抵抗とスイッチによる可変抵抗、トランジスタの抵抗成分を可変できるようにした

可変抵抗など、抵抗値を制御できる全ての素子あるいは回路を用いたものとしてもよい。

【 0 0 5 3 】

さらに、本実施の形態 1 では、可変容量 5 を図 3 に示すような並列接続した容量とスイッチによるデジタル的な可変容量としたが、本発明はこれに限らず、直列接続した容量とスイッチによる可変容量、並列接続と直列接続を組み合わせた容量とスイッチによる可変容量、MOS容量など、容量値を制御できる全ての素子、あるいは回路を用いたものとしてもよい。

【 0 0 5 4 】

以上のように本実施の形態 1 によれば、可変容量 5 の容量値 C_5 を制御回路 6 により遮断周波数 f_c が一定となるようにコントロールすることにより、低利得時の歪特性の劣化を抑制することができる。

【 0 0 5 5 】

(実施の形態 2)

図 5 は、本発明の実施の形態 2 に係る可変利得増幅回路の構成を示す回路図である。

図 5 において、1 a は可変利得ミキサ、2 は可変利得ミキサ 1 a の第 1 の入力端子に接続される RF 信号源、3 は可変利得ミキサ 1 a の第 2 の入力端子に接続される LO 信号源、4 は出力端子、5 a は可変容量、6 a は可変利得ミキサ 1 の利得、及び可変容量 5 a の容量値をコントロールする制御回路である。ただし、本実施の形態 2 において、可変利得ミキサ 1 a はダウンコンバートミキサとする。

【 0 0 5 6 】

また、可変利得ミキサ 1 a はシングルバランسدミキサであり、8 は可変インダクタ、10 は RF 信号入力トランジスタ、11 は LO 信号入力トランジスタである。

【 0 0 5 7 】

可変インダクタ 8 は、図 6 に示すように 4 つのインダクタ L_1 , L_2 , L_3 , L_4 と、3 つのスイッチ ϕ_4 , ϕ_5 , ϕ_6 により構成され、スイッチを全てオフ、あるいはいずれか一つをオンさせることにより、端子間のインダクタンスを変化させることができる。

【 0 0 5 8 】

また、可変容量 5 a は、図 7 に示すように、容量 c 5 と、MOS デバイス m1 と、バイアス抵抗 r b と、制御端子 T1 とにより構成され、制御端子 T1 に供給するバイアス電圧に応じて端子間の容量値を変化させることができる。

また、RF 信号源 2 は、図 1 9 に示すようなアンテナ A1 と、LNA (Low Noise Amplifier) で構成され、L0 信号源 3 は、PLL (Phase Locked Loop) で構成される。

【 0 0 5 9 】

以上のように構成された本実施の形態 2 の可変利得増幅回路について、以下、その動作を説明する。

RF 信号源 2 から可変利得ミキサ 1 a に供給される RF 信号は、RF 信号入力トランジスタ 1 0 に入力され、電圧信号から電流信号に変換される。

【 0 0 6 0 】

一方、L0 信号源 3 から可変利得ミキサ 1 a に供給される差動の L0 信号は、L0 信号入力トランジスタ 1 1 に入力され、L0 信号入力トランジスタ 1 1 は L0 信号の周波数でスイッチ動作を繰り返す。

【 0 0 6 1 】

この L0 信号入力トランジスタ 1 1 に電流変換された RF 信号が入力されると、RF 信号と、L0 信号が乗算される。これにより、RF 信号は周波数変換され、IF 信号となり、可変インダクタ 8 で電圧変換されることにより、出力端子 4 に IF 信号があらわれる。

【 0 0 6 2 】

可変利得ミキサ 1 a の可変利得機能は、可変インダクタ 8 のインダクタンス L8 を、制御回路 6 a によりコントロールすることで実現する。

また、可変容量 5 a の容量値 C5 は、可変インダクタ 8 に連動させて可変利得ミキサ 1 a の共振周波数 f_r が一定になるように制御回路 6 a によりコントロールする。

【 0 0 6 3 】

次に、本実施の形態 2 による可変利得増幅回路の効果について、従来の可変利得増幅回路と比較しながら説明する。

図 9 は、本実施の形態 2 による可変利得増幅器の効果を示したものである。RF 信号源 2 から 1.5GHz の希望 RF 信号と 1.7GHz の妨害波信号が、LO 信号源 3 から 1GHz の LO 信号がそれぞれ可変利得ミキサ 1 a に供給され、500MHz の希望 IF 信号と 900MHz の不要 IM3 信号を出力する場合において、利得設定に対する IIP3 をプロットしたものである。ただし、従来の可変利得増幅回路との比較のため、可変容量 5 a が 11pF 固定の場合の特性も示した。

【 0 0 6 4 】

本実施の形態 2 では、図 6 における L1, L2, L3, L4 を、それぞれ 2.3nH, 2.3nH, 2.3nH, 2.3nH に設定している。また、図 7 における c5 を 100pF、rb を 100k Ω に設定しており、制御端子 T1 に印加するバイアス電圧 Vb によって、可変容量 5 a の容量値は、図 8 のように可変できる。

【 0 0 6 5 】

この時、スイッチの状態と、バイアス電圧 Vb に対する C5, L8, fr の関係は、表 2 のようになる。

【表 2】

利得設定	スイッチの状態			バイアス電圧	L8 (nH)	C5 (pF)	fr (MHz)
	$\phi 4$	$\phi 5$	$\phi 6$	Vb (V)			
0 (利得最大)	OFF	OFF	OFF	-0.75	9.2	11	500
1	ON	OFF	OFF	-0.60	6.9	15	
2	OFF	ON	OFF	-0.25	4.6	22	
0 (利得最小)	OFF	OFF	ON	0.75	2.3	44	

従来の可変利得増幅回路では、容量値が固定の容量を用いていたために、可変利得ミキサ 101 の利得設定に応じて共振周波数 fr が変動し、低利得側の歪特性が劣化していた。これに対して、本実施の形態 2 の可変利得増幅回路では、表 2 に示すように利得設定に応じて可変容量 5 a の容量値 C5 をコントロールすることにより、遮断周波数 fr が常に 500MHz となるように設定している。

【 0 0 6 6 】

これにより、本実施の形態 2 の可変利得増幅回路では、900MHz の不要 IM3 信号を減衰させることができ、図 9 に示すように従来の可変利得増幅回路に比し、低

利得側での歪特性劣化を抑制することができる。

【0067】

なお、本実施の形態2では、可変利得ミキサ1aの基本構成を、図5に示すようなシングルバランスドミキサとしたが、本発明はこれに限らず、ダブルバランスドミキサ、デュアルゲートミキサ、ダイオードミキサなどの基本構成を有するものとしてもよい。

【0068】

また、本実施の形態2では、可変インダクタ8を、図6に示すような直列接続したインダクタとスイッチによるデジタル的な可変インダクタとしたが、本発明はこれに限らず、並列接続したインダクタとスイッチによる可変インダクタ、並列接続と直列接続を組み合わせたインダクタとスイッチによる可変インダクタなど、インダクタンスを制御できる全ての素子あるいは回路を用いたものとしてもよい。

【0069】

さらに、本実施の形態2では、可変容量5aを、図7に示すようなMOSデバイスによるアナログ的な可変容量としたが、本発明はこれに限らず、直列接続した容量とスイッチによる可変容量、並列接続した容量とスイッチによる可変容量、直列接続と並列接続を組み合わせた容量とスイッチによる可変容量など、容量値を制御できる全ての素子あるいは回路を用いたものとしてもよい。

【0070】

以上のように、本実施の形態2によれば、可変容量5aの容量値C5を、制御回路6により共振周波数 f_r が一定となるようにコントロールすることにより、低利得時の歪特性の劣化を抑制することができる。

【0071】

(実施の形態3)

図10は、本発明の実施の形態3に係る可変利得増幅回路の構成を示す回路図である。

図10において、9は可変利得増幅器、2aは可変利得増幅器9の第1の入力端子に接続されるRF信号源、4は出力端子、5bは可変容量、6bは可変利得増

幅器 9 の利得、及び可変容量 5 b の容量値をコントロールする制御回路である。

【 0 0 7 2 】

また、可変利得増幅器 9 は、ソース接地型増幅器であり、7 は可変抵抗、1 0 は RF 信号入力トランジスタである。

可変抵抗 7 は、図 2 に示すように、4 つの抵抗 r_1 , r_2 , r_3 , r_4 と、3 つのスイッチ ϕ_1 , ϕ_2 , ϕ_3 により構成され、スイッチ ϕ_1 から ϕ_3 まで順次オンしていくことにより、端子間の抵抗値を変化させることができる。

【 0 0 7 3 】

また、可変容量 5 b は、図 3 に示すように、4 つの容量 c_1 , c_2 , c_3 , c_4 と、3 つのスイッチ ϕ_1 , ϕ_2 , ϕ_3 により構成され、スイッチ ϕ_1 から ϕ_3 まで順次オンしていくことにより、端子間の容量値を変化させることができる。

また、RF 信号源 2 a は、図 2 0 に示すような、アンテナ A1 と、LNA と、ミキサ MIX と、PLL と、により構成される。

【 0 0 7 4 】

以上のように構成された本実施の形態 3 の可変利得増幅回路について、以下、その動作を説明する。

RF 信号源 2 a から可変利得増幅器 9 に供給される RF 信号は、RF 信号入力トランジスタ 1 0 に入力され、電圧信号から電流信号に変換される。そして、電流変換された RF 信号が、可変抵抗 7 で電圧変換されることにより、出力端子 4 に信号振幅が増幅、あるいは減衰された RF 信号があらわれる。

【 0 0 7 5 】

可変利得増幅器 9 の可変利得機能は、可変抵抗 7 の抵抗値 R_7 を制御回路 6 b によりコントロールすることで実現する。

また、可変容量 5 b の容量値 C_5 は、可変抵抗 7 に連動させて可変利得増幅器 9 の遮断周波数 f_c が一定になるように、制御回路 6 b によりコントロールする。

【 0 0 7 6 】

次に、本実施の形態 3 による可変利得増幅回路の効果について、従来の可変利得増幅回路と比較しながら説明する。

図 1 1 は、本実施の形態 3 による可変利得増幅器の効果を示したものである。

RF信号源 2 a から10MHzの希望RF信号と、50MHzの妨害波信号がそれぞれ可変利得増幅器 9 に供給され、10MHzの希望信号と、90MHzの不要IM3信号を出力する場合において、利得設定に対するIIP3をプロットしたものである。ただし、従来の可変利得増幅回路との比較のため、可変容量 5 b が4pF固定の場合の特性も示した。

【 0 0 7 7 】

本実施の形態 3 では、図 2 における r_1, r_2, r_3, r_4 を、それぞれ $2k\Omega, 6k\Omega, 3k\Omega, 1k\Omega$ に、図 3 における c_1, c_2, c_3, c_4 を、それぞれ4pF, 1.4pF, 2.6F, 8pFに設定している。

【 0 0 7 8 】

この時、スイッチの状態に対する C_5, R_7, f_c の関係は、表 3 のようになる。

【表 3】

利得設定	スイッチの状態			$R_7(k\Omega)$	$C_5(pF)$	$f_c(MHz)$
	$\phi 1$	$\phi 2$	$\phi 3$			
0(利得最大)	OFF	OFF	OFF	2.0	4.0	20
1	ON	OFF	OFF	1.5	5.4	
2	ON	ON	OFF	1.0	8.0	
0(利得最小)	ON	ON	ON	0.5	16.0	

従来の可変利得増幅回路では、容量値が固定の容量を用いていたために、可変利得増幅器 9 の利得設定に応じて遮断周波数 f_c が変動し、低利得側の歪特性が劣化していた。これに対して、本実施の形態 3 の可変利得増幅回路では、表 3 に示すように、利得設定に応じて可変容量 5 b の容量値 c_5 をコントロールすることにより、遮断周波数 f_c が常に20MHzとなるように設定している。これにより、本実施の形態 3 の可変利得増幅回路では、90MHzの不要IM3信号を減衰させることができ、図 1 1 に示すように従来の可変利得増幅回路に比し、低利得側での歪特性劣化を抑制することができる。

【 0 0 7 9 】

なお、本実施の形態 3 では、可変利得増幅器 9 の基本構成を、図 1 0 に示すよ

うなソース接地型増幅器としたが、本発明はこれに限らず、ゲート接地型増幅器、差動増幅器などの基本構成を有するものとしてもよい。

【 0 0 8 0 】

また、本実施の形態 3 では、可変抵抗 7 を、図 2 に示すような並列接続した抵抗と、スイッチによるデジタル的な可変抵抗としたが、本発明はこれに限らず、直列接続した抵抗とスイッチによる可変抵抗、並列接続と直列接続を組み合わせた抵抗とスイッチによる可変抵抗、トランジスタの抵抗成分を可変できるようにした可変抵抗など、抵抗値を制御できる全ての素子あるいは回路を用いたものとしてもよい。

【 0 0 8 1 】

さらに、本実施の形態 3 では、可変容量 5 b を、図 3 に示すような並列接続した容量とスイッチによるデジタル的な可変容量としたが、本発明はこれに限らず、直列接続した容量とスイッチによる可変容量、並列接続と直列接続を組み合わせた容量とスイッチによる可変容量、MOS容量など、容量値を制御できる全ての素子あるいは回路を用いたものとしてもよい。

【 0 0 8 2 】

以上のように、本実施の形態 3 によれば、可変容量 5 b の容量値 C_5 を、制御回路 6 により遮断周波数 f_c が一定となるようにコントロールすることにより、低利得時の歪特性の劣化を抑制することができる。

【 0 0 8 3 】

(実施の形態 4)

図 1 2 は、本発明の実施の形態 4 に係る可変利得増幅回路の構成を示す回路図である。

図 1 2 において、9 a は可変利得増幅器、2 b は可変利得増幅器 9 a の第 1 の入力端子に接続される RF 信号源、4 は出力端子、5 c は可変容量、6 c は可変利得増幅器 9 の利得、及び可変容量 5 c の容量値をコントロールする制御回路である。

【 0 0 8 4 】

また、可変利得増幅器 9 a は、ソース接地型増幅器であり、8 は可変インダク

タ、10はRF信号入力トランジスタである。

可変インダクタ8は、図6に示すように、4つのインダクタL1, L2, L3, L4と、3つのスイッチ $\phi 4$, $\phi 5$, $\phi 6$ により構成され、スイッチを全てオフ、あるいはいずれか一つをオンさせることにより、端子間のインダクタンスを変化させることができる。

【0085】

また、可変容量5cは、図7に示すように容量c5と、MOSデバイスm1と、バイアス抵抗rbと、制御端子T1とにより構成され、制御端子T1に供給するバイアス電圧に応じて端子間の容量値を変化させることができる。

また、RF信号源2bはアンテナA1により構成される。

【0086】

以上のように構成された本実施の形態4の可変利得増幅回路について、以下、その動作を説明する。

RF信号源2bから可変利得増幅器9に供給されるRF信号は、RF信号入力トランジスタ10に入力され、電圧信号から電流信号に変換される。そして、電流変換されたRF信号が、可変インダクタ8で電圧変換されることにより、出力端子4に信号振幅が増幅あるいは減衰されたRF信号があらわれる。

【0087】

可変利得増幅器9aの可変利得機能は、可変インダクタ8のインダクタンスL8を制御回路6cによりコントロールすることで実現する。

また、可変容量5は、可変インダクタ8に連動させて可変利得増幅器9aの共振周波数frが一定になるように、制御回路6cによりコントロールする。

【0088】

次に、本実施の形態4における可変利得増幅回路の効果について、従来の可変利得増幅回路と比較しながら説明する。

図13は、本実施の形態による可変利得増幅器の効果を示したものである。RF信号源2bから500MHzの希望RF信号と700MHzの妨害波信号が、それぞれ可変利得増幅器9aに供給され、500MHzの希望信号と900MHzの不要IM3信号を出力する場合において、利得設定に対するIIP3をプロットしたものである。ただし、従来の

可変利得増幅回路との比較のため、可変容量 5 c が 11pF 固定の場合の特性も示した。

【 0 0 8 9 】

本実施の形態 4 では、図 6 における L1, L2, L3, L4 を、それぞれ 2.3nH, 2.3nH、2.3nH, 2.3nH に設定している。また、図 7 における c5 を 100pF、rb を 100kΩ に設定しており、制御端子 T1 に印加するバイアス電圧 Vb によって、可変容量 5 c の容量値は、図 8 のように可変できる。

この時、スイッチの状態と、バイアス電圧 Vb に対する C5, L8, fr の関係は、表 2 のようになる。

【 0 0 9 0 】

従来の可変利得増幅回路では、容量値が固定の容量を用いていたために、可変利得増幅器 9 a の利得設定に応じて共振周波数 fr が変動し、低利得側の歪特性が劣化していた。これに対して、本実施の形態 4 の可変利得増幅回路では、表 2 に示すように利得設定に応じて可変容量 5 c の容量値 c5 をコントロールすることにより、共振周波数 fr が常に 500MHz となるように設定している。従って、本実施の形態 4 の可変利得増幅回路では、900MHz の不要 IM3 信号を減衰させることができ、図 1 3 に示すように従来の可変利得増幅回路に比し、低利得側での歪特性劣化を抑制することができる。

【 0 0 9 1 】

なお、本実施の形態 4 では、可変利得増幅器 9 a の基本構成を、図 1 2 に示すようなソース接地型増幅器としたが、本発明はこれに限らず、ゲート接地型増幅器、差動増幅器などの基本構成を有するものとしてもよい。

【 0 0 9 2 】

また、本実施の形態 4 では、可変インダクタ 8 を、図 6 に示すような直列接続したインダクタとスイッチによるデジタル的な可変インダクタとしたが、本発明はこれに限らず、並列接続したインダクタとスイッチによる可変インダクタ、並列接続と直列接続を組み合わせたインダクタとスイッチによる可変インダクタなど、インダクタンスを制御できる全ての素子あるいは回路を用いたものとしてもよい。

【0093】

さらに、本実施の形態4では、可変容量5cを、図7に示すようなMOSデバイスによるアナログ的な可変容量としたが、本発明はこれに限らず、直列接続した容量とスイッチによる可変容量、並列接続した容量とスイッチによる可変容量、直列接続と並列接続を組み合わせた容量とスイッチによる可変容量など、容量値を制御できる全ての素子あるいは回路を用いたものとしてもよい。

【0094】

以上のように本実施の形態4によれば、可変容量5cの容量値 c_5 を、制御回路6により共振周波数 f_r が一定となるようにコントロールすることにより、低利得時の歪特性の劣化を抑制することができる。

【0095】

【発明の効果】

以上のように、本発明にかかる可変利得増幅回路によれば、可変利得ミキサ、あるいは可変利得増幅器の出力端子に接続された可変容量の容量値を、利得設定に応じてコントロールするようにすることにより、低利得時における歪特性の劣化を抑制することのできる可変利得増幅回路を得られる効果がある。

【図面の簡単な説明】

【図1】

本発明の実施の形態1による可変利得増幅回路の回路図

【図2】

本発明の実施の形態1、および実施の形態3による可変利得増幅回路における可変抵抗の回路図

【図3】

本発明の実施の形態1、および実施の形態3による可変利得増幅回路における可変容量の回路図

【図4】

本発明の実施の形態1による可変利得増幅回路の効果を示す特性図

【図5】

本発明の実施の形態2による可変利得増幅回路の回路図

【図 6】

本発明の実施の形態 2、および実施の形態 4 による可変利得増幅回路における可変インダクタの回路図

【図 7】

本発明の実施の形態 2、および実施の形態 4 による可変利得増幅回路における可変容量の回路図

【図 8】

本発明の実施の形態 2、および実施の形態 4 による可変利得増幅回路における可変容量のバイアス電圧に対する容量値を示す特性図

【図 9】

本発明の実施の形態 2 による可変利得増幅回路の効果を示す特性図

【図 1 0】

本発明の実施の形態 3 による可変利得増幅回路の回路図

【図 1 1】

本発明の実施の形態 3 による可変利得増幅回路の効果を示す特性図

【図 1 2】

本発明の実施の形態 4 による可変利得増幅回路の回路図

【図 1 3】

本発明の実施の形態 4 による可変利得増幅回路の効果を示す特性図

【図 1 4】

従来の可変利得増幅回路の回路図

【図 1 5】

従来の可変利得増幅回路の交流等価回路図

【図 1 6】

一次のLPFの周波数特性図

【図 1 7】

二次のLPFの周波数特性図

【図 1 8】

従来の可変利得増幅回路の利得設定に対する歪特性図

【図 1 9】

本発明の実施の形態 1、および実施の形態 2 における RF 信号源 2 のブロック図

【図 2 0】

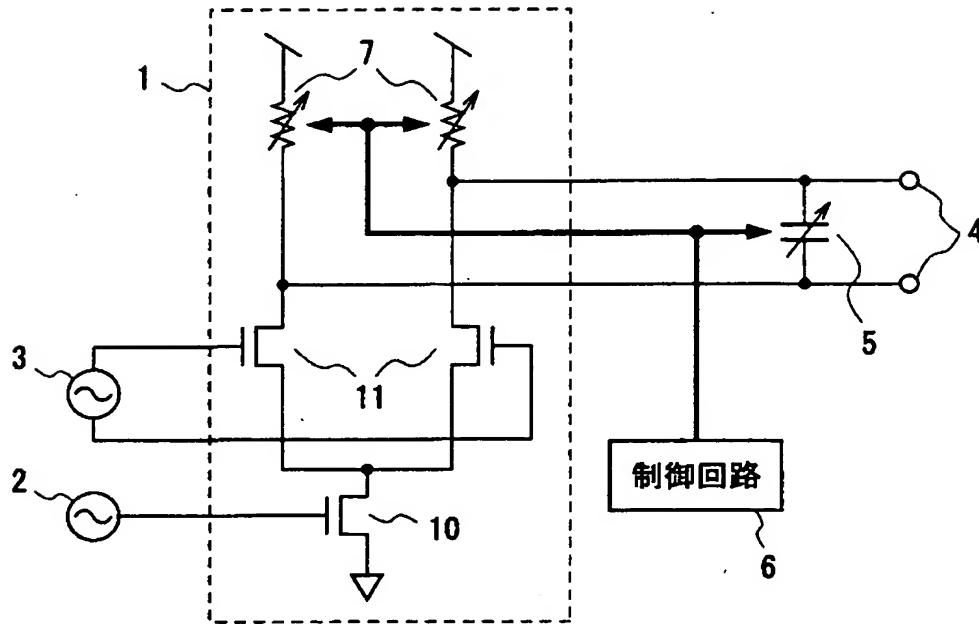
本発明の実施の形態 3 における RF 信号源 2 a のブロック図

【符号の説明】

- 1, 1 a 可変利得ミキサ
- 2, 2 a, 2 b RF信号源
- 3 L0信号源
- 4 出力端子
- 5, 5 a, 5 b, 5 c 可変容量
- 6, 6 a, 6 b, 6 c 制御回路
- 7 可変抵抗
- 8 可変インダクタ
- 9, 9 a 可変利得増幅器
- 1 0 RF信号入力トランジスタ
- 1 1 L0信号入力トランジスタ
- 1 2 容量
- 1 3 IF信号源
- 1 4 可変出力負荷インピーダンス

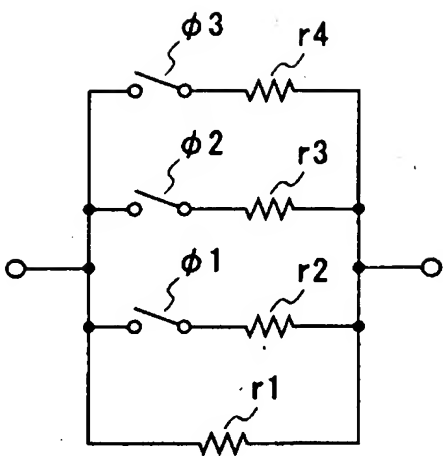
【書類名】 図面

【図 1】

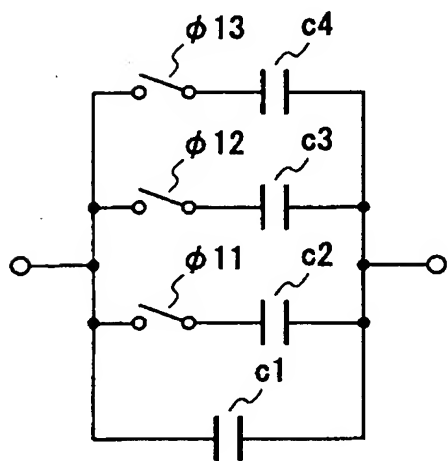


- 1 : 可変利得ミキサ
- 2 : RF信号源
- 3 : LO信号源
- 4 : 出力端子
- 5 : 可変容量
- 7 : 可変抵抗
- 10 : RF信号入力トランジスタ
- 11 : LO信号入力トランジスタ

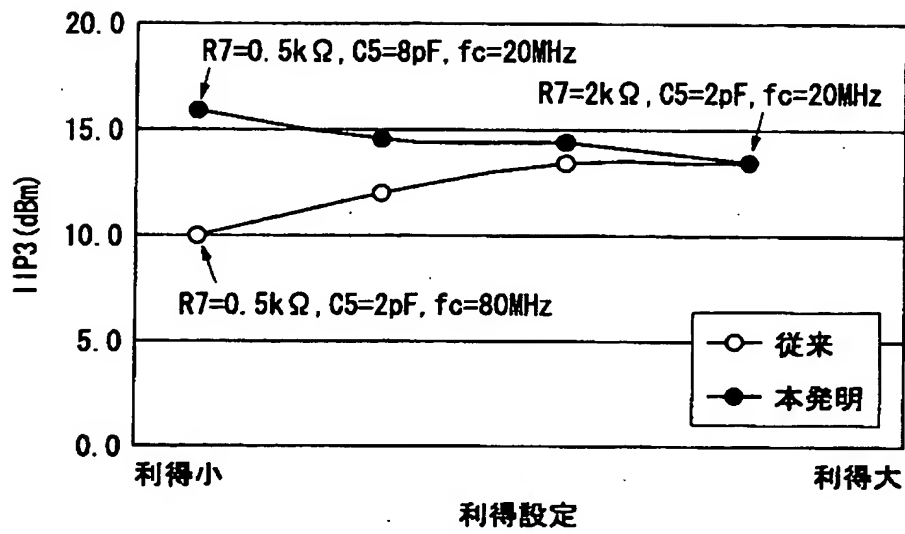
【図 2】



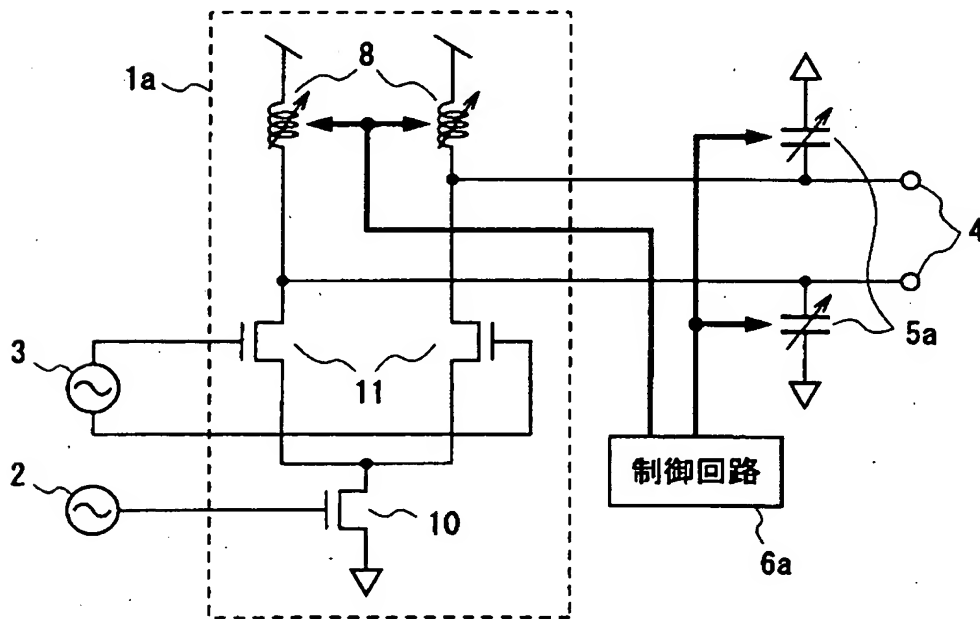
【図 3】



【図 4】

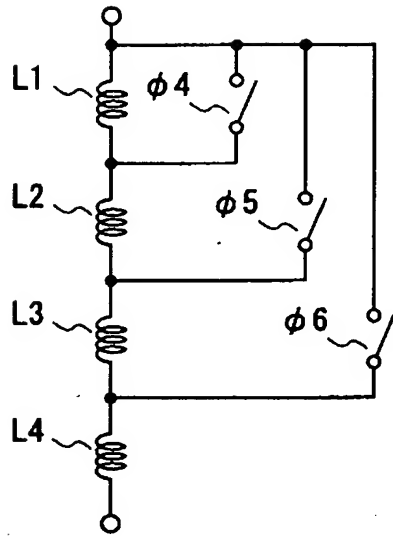


【図 5】

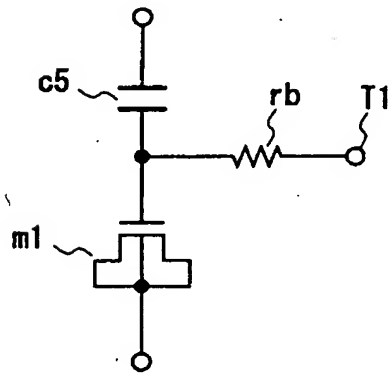


8 : 可変インダクタ

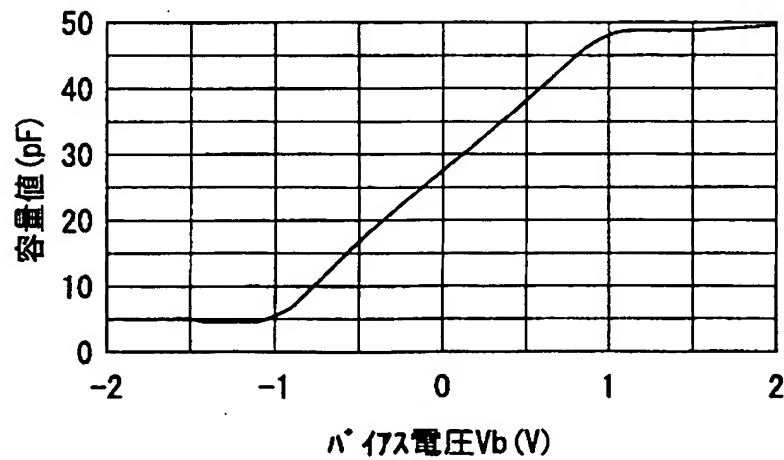
【図 6】



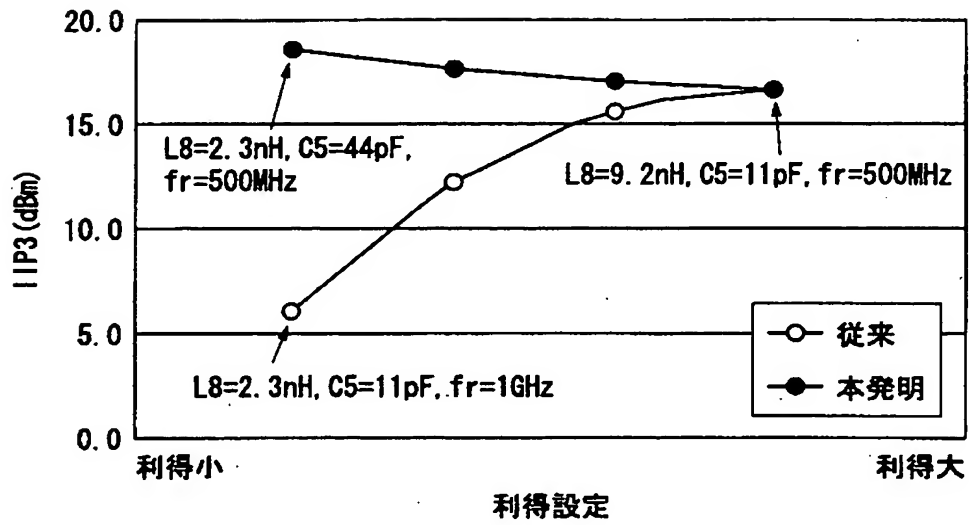
【図 7】



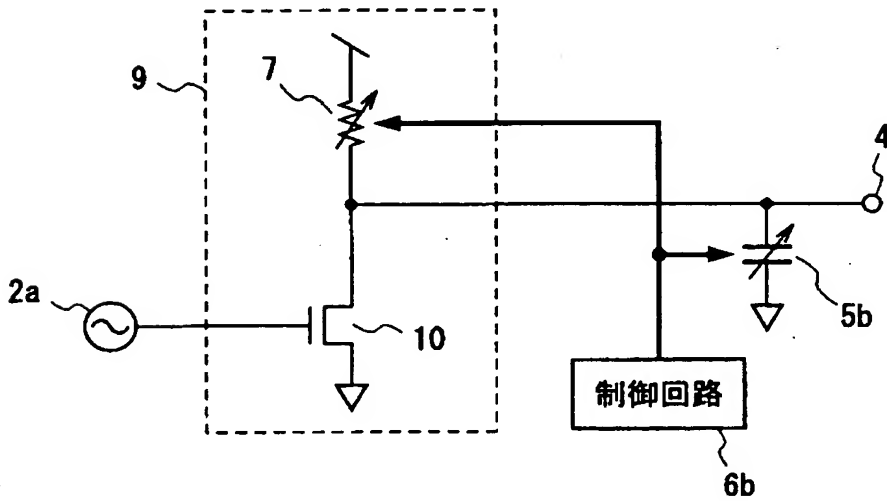
【図 8】



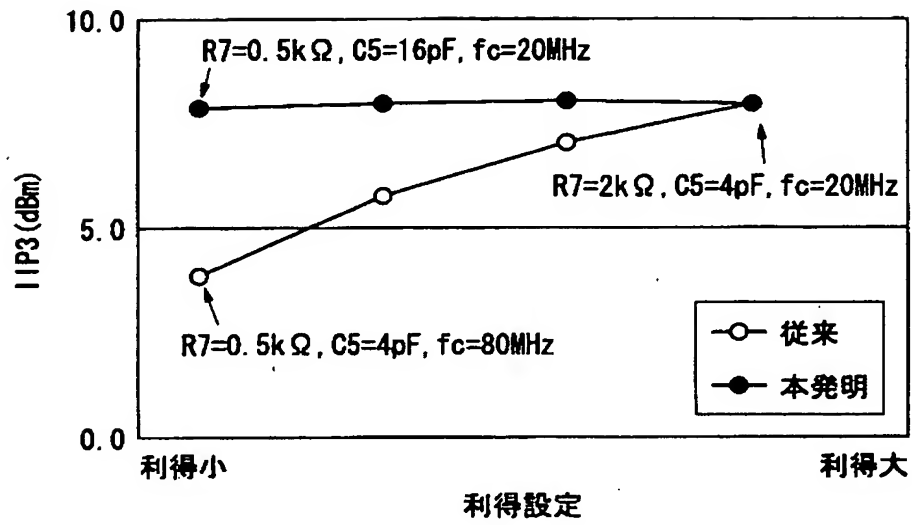
【図9】



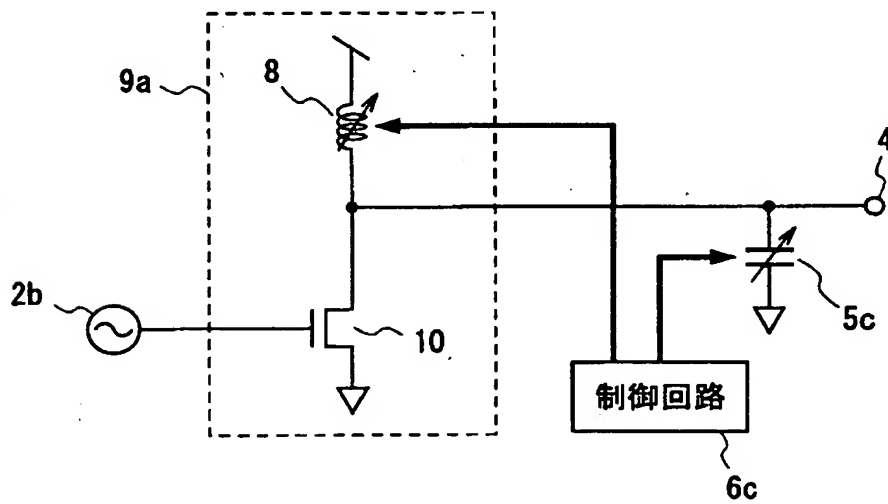
【図10】



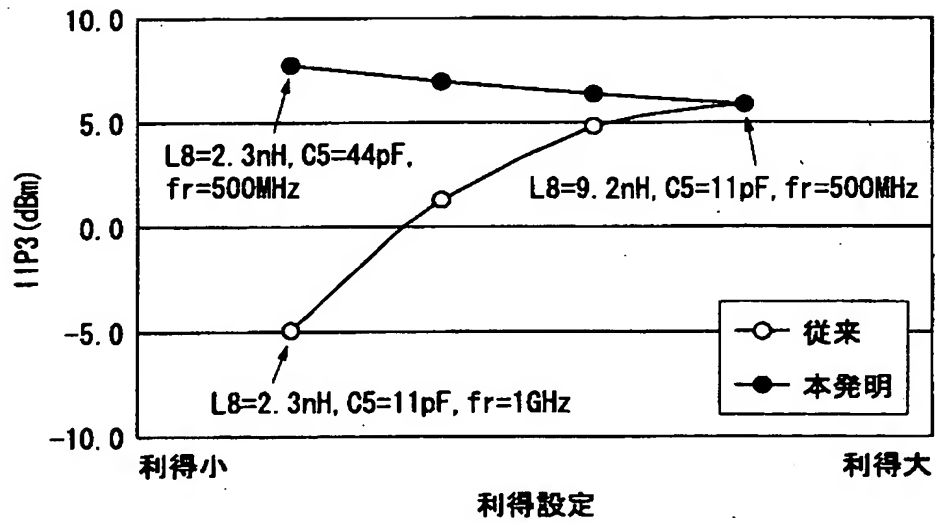
【図 1 1】



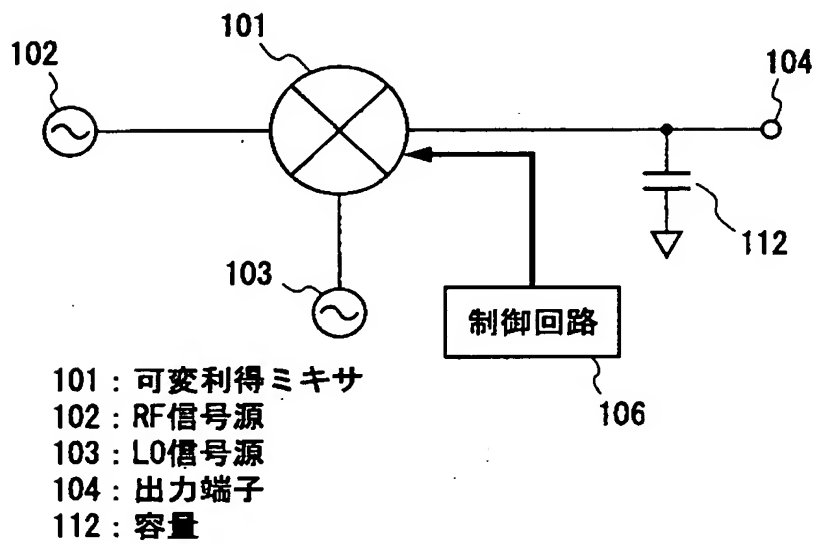
【図 1 2】



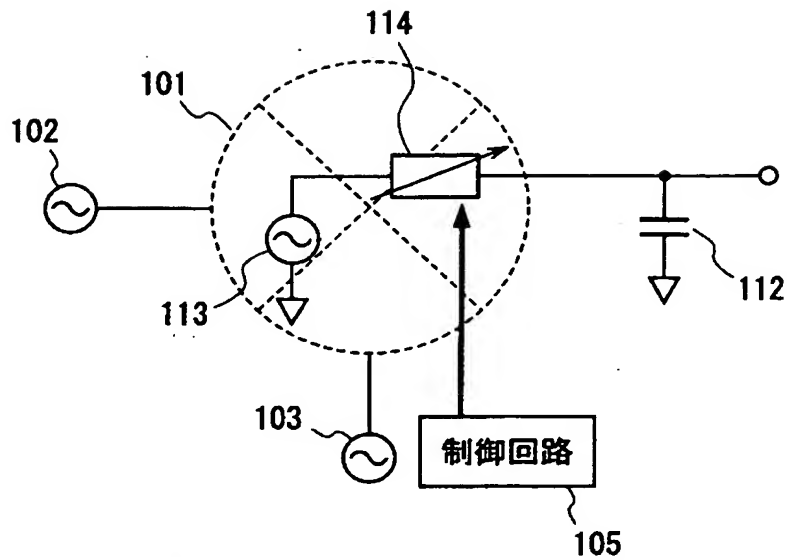
【図 1 3】



【図 1 4】



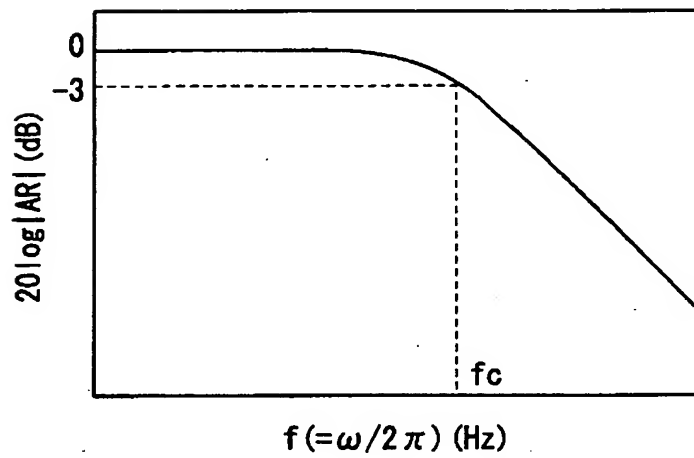
【図 1 5】



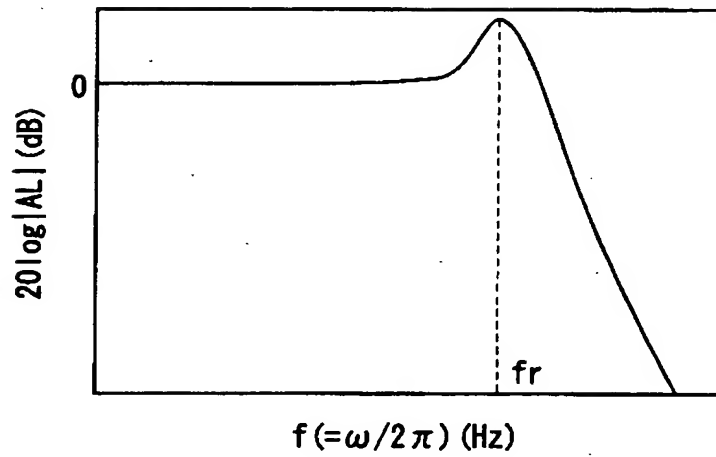
113 : IF信号源

114 : 可変出力負荷インピーダンス

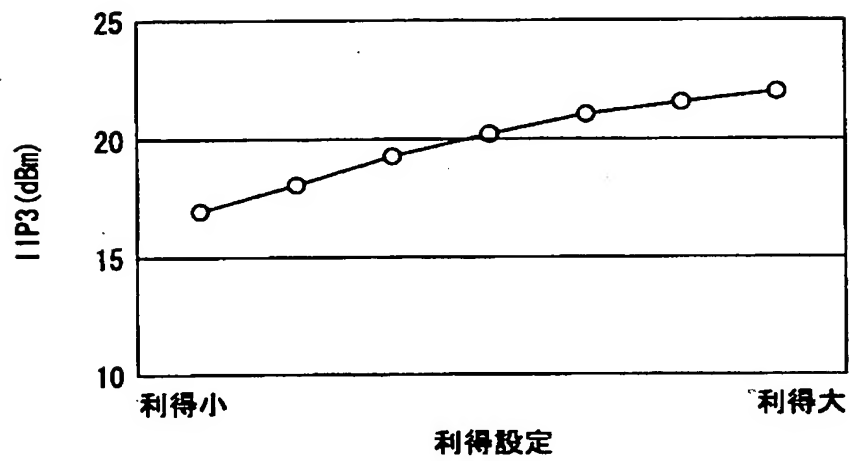
【図 1 6】



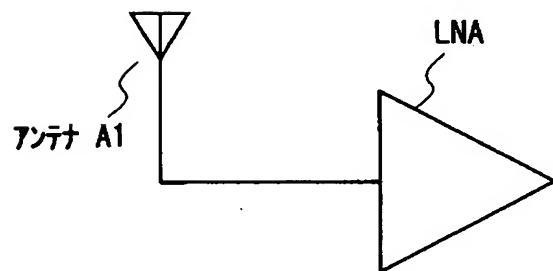
【図 17】



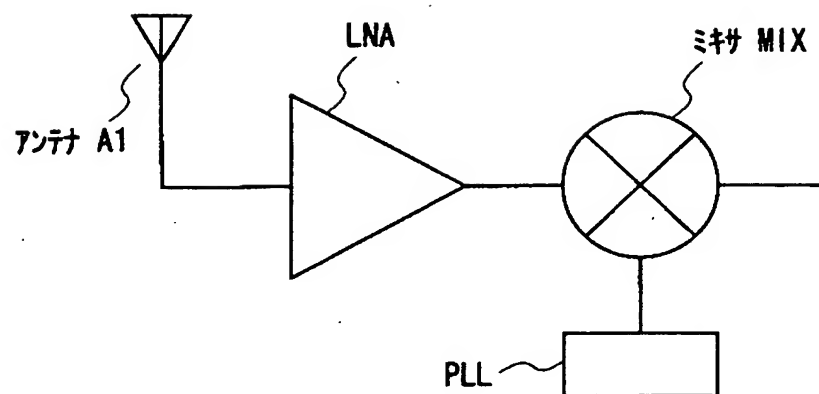
【図 18】



【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 可変利得増幅回路において、低利得設定時に歪特性が劣化する点を解決すること。

【解決手段】 妨害波信号や、相互変調歪、RF・LO漏洩信号などの不要信号を減衰させるために、出力端子4に接続される固定の容量の代わりに、可変容量5を接続する。可変容量5の容量値C5は、可変利得ミキサ1の利得を制御する制御回路6によりコントロールされる。これにより、利得制御時に可変抵抗7の抵抗値R7が変動しても、可変利得ミキサ1の遮断周波数 f_c を一定にすることができる。その結果、低利得設定時においても、不要信号を減衰させることができ、可変利得ミキサ1や後段ブロックの歪特性劣化を抑制することができる。

【選択図】 図1

出 願 人 履 歷 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社